

Соображения
о DSC

ноябрь 21

2018

Виталий Баргатин
v 0.1

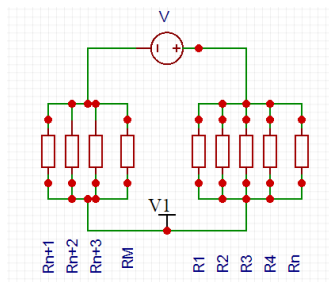
Оглавление

1. Расчет уровней напряжений на выходе DSC.....	1
2. Выходной импеданс	2
3. Конденсатор для снижения THD	2
4. Эффективная точность резисторов	3

1. Расчет уровней напряжений на выходе DSC

Каждое дифференциальное плечо DSC представляет собой делитель напряжения. В классической реализации SDM поток, состоящий из 0 и 1, подается на резисторы через сдвиговые регистры. На сдвиговом регистре формируется делитель, эквивалентная схема которого представлена ниже. На выход DSC подается разница между V1 и V2 плеч. Оба плеча инвертированы по сигналу (количество 1 в одном = количеству 0 в другом).

Предположим, что в **M** отсчетах (**M** = количеству резисторов) количество 1 это **n**, **V** – напряжение источника питания, а **R** – сопротивление резистора.



Тогда V1, снимаемое с одного плеча:

$$V1 = V / (R/n + R/(M-n)) * R/(M-n) = V * n/M;$$

Т.к. второе плечо инвертировано относительно первого (во втором плече количество 1 = M-n), то

$$V2 = V / (R/n + R/(M-n)) * R/n = V * (M-n)/M;$$

И дифференциальный сигнал, снимаемый на одном канале DSC равен $V1 - V2 = V/M * (2n - M)$;

Т.е. представляет собой ступенчатую функцию с разницей между соседними уровнями сигнала по абсолютной величине:

$$|dV| = |V/M * (M-2(n+1)) - V/M * (M-2n)| = 2 V/M;$$

Таким образом, напряжения для V=5V и M = 32 меняются следующим образом:

n	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
V1	0,00	0,16	0,31	0,47	0,63	0,78	0,94	1,09	1,25	1,41	1,56	1,72	1,88	2,03	2,19	2,34	2,50	2,66	2,81	2,97	3,13	3,28	3,44	3,59	3,75	3,91	4,06	4,22	4,38	4,53	4,69	4,84	5,00
V2	5,00	4,84	4,69	4,53	4,38	4,22	4,06	3,91	3,75	3,59	3,44	3,28	3,13	2,97	2,81	2,66	2,50	2,34	2,19	2,03	1,88	1,72	1,56	1,41	1,25	1,09	0,94	0,78	0,63	0,47	0,31	0,16	0,00
V1-V2	-5,00	-4,69	-4,38	-4,06	-3,75	-3,44	-3,13	-2,81	-2,50	-2,19	-1,88	-1,56	-1,25	-0,94	-0,63	-0,31	0,00	0,31	0,63	0,94	1,25	1,56	1,88	2,19	2,50	2,81	3,13	3,44	3,75	4,06	4,38	4,69	5,00

Т.е. диф. напряжение V1-V2:

- центрировано относительно n=16 (цифровой 0 SDM в котором количество 0 равно количеству 1),
- принимает четко определенные значения в зависимости от количества 1 в потоке. Последовательность 1 в наборе из 32 бит не важна – выходное напряжение меняться не будет.
- Представляет собой ступенчатую функцию с «высотой» ступеньки = 2*V/M. Увеличивая количество резисторов в плече, мы можем уменьшать высоту ступеньки.

Стандарт «**Super Audio CD System Description V13**» (SACD_SignalPropertiesV13.pdf), приложение **D3**, устанавливает ограничения на уровень модуляции (количество единиц в произвольно взятых 28 отсчетах):

$$4 < n < 24$$

Поэтому реальное напряжение на выходе канала DSC будет изменяться в диапазоне $\pm 3,44V$. Рабочий диапазон выделен серым цветом в таблице.

2. Выходной импеданс

Оба дифференциальных плеча канала инвертированы по входящему сигналу (количество 1 в одном = количеству 0 в другом). Источники питания каждого плеча соединены землями. Для расчета выходного импеданса двухполюсника V1-V2 используем теорему Тевелина (закоротим вход-выход источников питания, уберем их из рассмотрения – сопротивление между V1 и V2 будет внутренним сопротивлением DSC матрицы).

$$Z_{out} = R/n \parallel R/(M-n) + R/(M-n) \parallel R/n = 2 * R/n \parallel R/(M-n) = 2 * 1/(1/(R/n) + 1/(R/(M-n))) = 2 * R/M$$

Т.е. для $R = 5K$ и $M=32$ $Z_{out} = 312,5\Omega$.

Вывод – выходное сопротивление матрицы DSC определяется только номиналом резисторов и их количеством в одном плече канала, его можно изменять в широких пределах.

3. Конденсатор для снижения THD

Если дифференциальный выход будет нагружен R_n , то размах напряжения уменьшится из-за внутреннего сопротивления DSC (источник напряжения с внутренним сопротивлением).

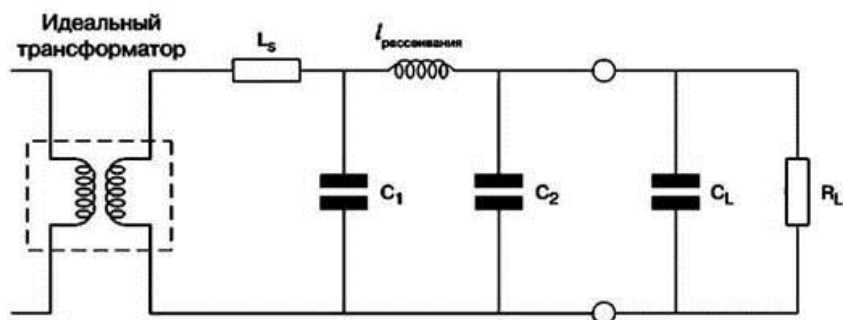
Например, если выход DSC будет нагружен на

1. **10K:** $\pm 3,44V * 10K / (312,5\Omega + 10K) = \pm 3,44V * 0.97$
2. **100Om:** $\pm 3,44V * 100Om / (312,5\Omega + 100Om) = \pm 3,44V * 0.25$

Очевидно, что пропорционально изменяется и величина ступенек (разница между соседними уровнями), т.е. чем меньшим импедансом нагружаем DSC, тем меньший размах напряжения на выходе и меньше разница между соседними уровнями.

Идеальным «интегратором» ступенчатого сигнала является конденсатор, который «сглаживает» переходы с уровня на уровень. Требования к конденсатору – способность зарядиться/разрядиться на размер «ступеньки» за время $1/(\text{частоту несущей DSD})$. Частота несущей – $44,1/48K * 64/256/512$ для DSD64, 128, 256 соответственно.

«Сгладить» переход между уровнями во втором случае ($2 - 100\Omega$ нагрузка) можно примерно в 4 раза меньшей емкостью, что, очевидно, приводит к заметному снижению THD. Вполне возможно, что для этого достаточно только паразитных емкостей трансформатора. Эквивалентная схема трансформатора на ВЧ представлена ниже, где C_1 , C_2 – межвитковая паразитная емкость, C_L – межобмоточная паразитная емкость.



Если предположение справедливо, то использование трансформатора с низкими R_{dc} первичной и вторичной обмотки с высокими паразитными емкостями, нагруженного на резистор с небольшим сопротивлением («токовый подход» Евгения Комиссарова) даст заметный выигрыш в THD. Конечно, трансформатор должен быть повышающим для получения необходимого выходного уровня.

4. Эффективная точность резисторов

Точность резисторов определяет точность восстановления уровня напряжения в каждом плече и, соответственно, точность уровня дифференциального выхода одного канала.

Свойства дисперсии D случайной величины (для 0,1% резисторов дисперсия $D = 0,1\%$):

- Дисперсия суммы случайных величин равна сумме дисперсий этих величин,
- Умножение/деление случайной величины на константу означает умножение/деление дисперсии на константу

Поэтому в каждом плече дисперсия равна $D/n + D/(M-n)$, для двух плечей $2 * D(1/n + 1/(M-n)) = 2 * D * M / (n * (M-n))$.

Расчет эффективной точности уровня для $M=28$, точности резисторов 0,1% с учетом ограничений на глубину модуляции $4 \leq n \leq 24$:

n	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
D	0,029	0,024	0,021	0,019	0,018	0,016	0,016	0,015	0,015	0,014	0,014	0,014	0,015	0,015	0,016	0,016	0,018	0,019	0,021	0,024	0,029

Таким образом, мы видим, что точность установки напряжения зависит от n :

- На краях (большая и малая модуляция) - 0,029%.
- В центре (в районе 0) – 0,014%. В два раза лучше.

Это не симметрия увеличивает THD DSC.

В классической схеме реализации DSC (сдвиговые регистры) – улучшить точность уровня можно только увеличивая точность всех резисторов. Эффект влияния n на точность восстановления уровня сохраниться.

Схема, предложенная insert (dastereo.ru):

- FPGA сортирует биты на набор 1 и далее 0 и выводит на резисторы сначала все 1 а потом 0,
- При смене сигнала может измениться только 1 бит, соответственно переключается только он, без изменения остального набора.

Данный подход имеет плюсы:

5. Снижается количество переключений,
6. Точность установления уровней не изменяется по сравнению с классической схемой.

7. Можно добиться увеличения точности восстановления путем использования высокоточных резисторов **для первых и последних 5-6 резисторов в наборе из 32** установив резисторы, например, с точностью 0,01%.